32bit RISC CPU “TH32” 設計仕様

ちゃ～班（仮）プロジェクトチーム

Nov 4. 1997

Credits

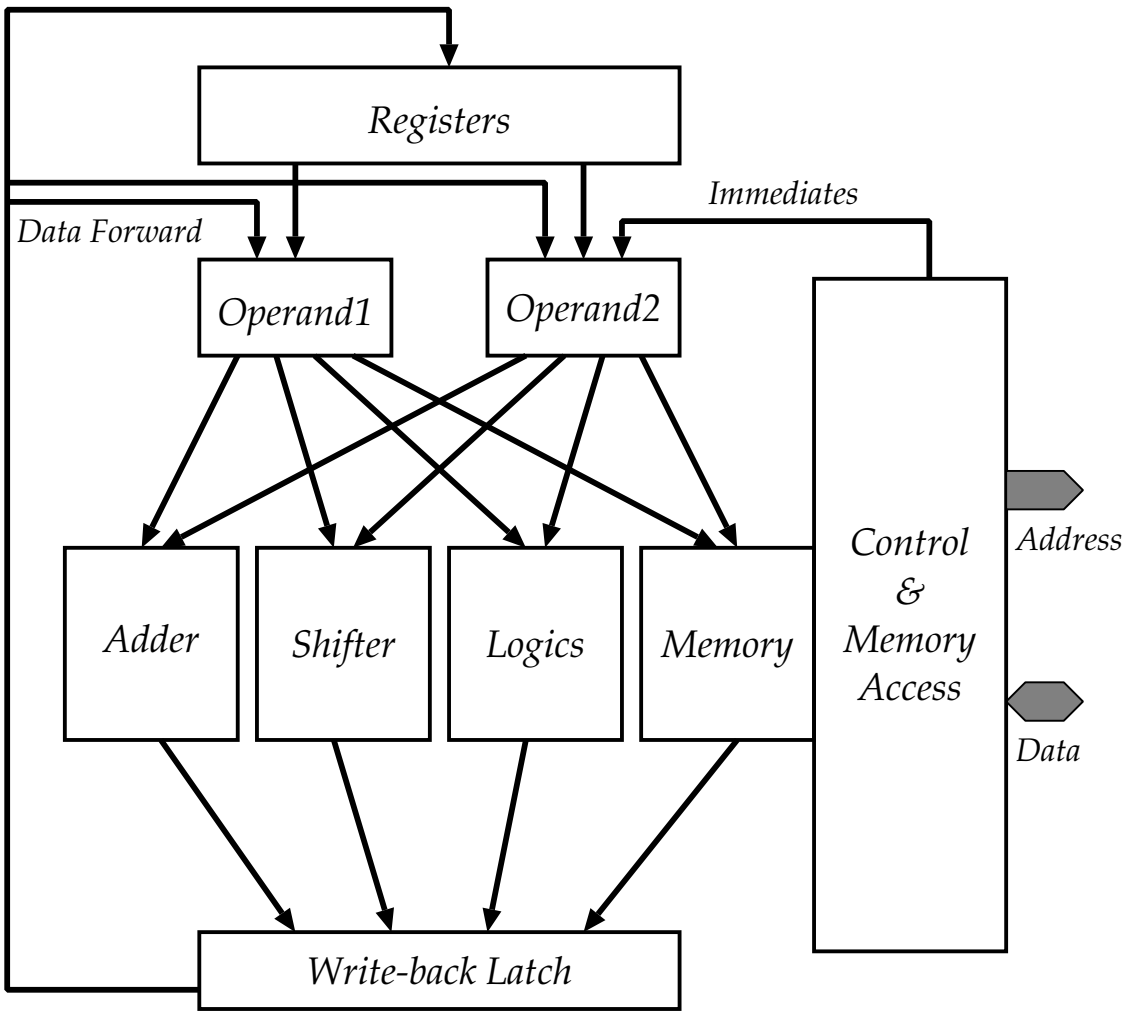
© *Nov. 1997 Char-han Project.*

本文書の内容は現時点での仕様であり、一部に実現目標を含みます。本文書の内容は将来にわたっての機能の保証をするものではなく、内容は任意の時点で予告なく変更されます。(^^;

CPU TH32 の特徴

- *32bit RISC* アーキテクチャ
- ハーバートアーキテクチャ
- 直交したレジスタ指定
- 符号つき *9 bit* の即値指定
- パイプラインを利用した高速な演算
  主要な命令を *1* クロックで実行
- ハザードの解決のためのバイパス

ブロック図


Registers
Immediates
Data Forward
Operand1
Operand2
Adder
Shifter
Logics
Memory
Control
&
Memory
Access
Address
Data
Write-back Latch

仕様 *(1)*

CPU 方式	レジスタ + パイプライン
メモリ方式	命令データ分離
命令形式	*3* オペランド
命令長	*32 bits*
データレジスタ幅	*32 bits*
汎用レジスタ数	*16* 本
レジスタポート数	*1*
外部バス幅	*32bit-data, 18bit-address*
CPI	*1*
Delayed Slot	*2 (?)*
外部回路のサポート	外部 *8bit* 乗算器の制御
目標動作周波数	*6MHz ~ 15MHz*

仕様 *(2)*

✧ レジスタ部

32bit, 16register

上位・下位 *16bit* に分けた書き込みをサポート

✧ オペランド選択部

Result Data Forwarding をサポート

9bit の符号つき即値を *2nd Operand* に導入可能

✧ 加算器

32bit の加減算

✧ 論理演算器

論理積・論理和・排他的論理和を演算

仕様 *(3)*

✧ シフタ部
1 bit, 2 bits の右シフトのサポート

✧ 分岐命令制御部
Delayed Branch

✧ メモリアクセス部
Max 64KWord メモリ空間の入出力
外部乗算器のアクセス
RS-232C 通信部の制御

現状

- タイミング調整を除いた *CPU* コアのα バージョン完成

- 外部バスの回路設計

今後の目標

- できるだけ早い時期の論理検証・シミュレート
- *11* 月中の主要部の実機動作
- 命令セットの吟味